



Guía de Ejercicios N^o 9: Circuitos CMOS

Parte I: Inversor CMOS

- Para una tecnología de $V_{DD} = 2,5 \text{ V}$, asumiendo $C_L = 20 \text{ fF}$ y $f = 400 \text{ MHz}$, determine V_M , t_{pHL} , t_{pLH} y P_D para los siguientes casos:
 - $k_n = k_p = 100 \mu\text{A}/\text{V}^2$, $V_{Tn} = -V_{Tp} = 0,7 \text{ V}$
 - $k_n = k_p = 100 \mu\text{A}/\text{V}^2$, $V_{Tn} = 1 \text{ V}$, $V_{Tp} = -0,5 \text{ V}$
 - $k_n = 50 \mu\text{A}/\text{V}^2$, $k_p = 200 \mu\text{A}/\text{V}^2$, $V_{Tn} = -V_{Tp} = 0,7 \text{ V}$
- Dada una tecnología CMOS con $V_{Tn} = -V_{Tp} = 0,7 \text{ V}$, $k_n = k_p = 100 \mu\text{A}/\text{V}^2$, $C_L = 20 \text{ fF}$ y $f = 400 \text{ MHz}$ determine P_D y t_p para los siguientes casos:
 - $V_{DD} = 3,3 \text{ V}$
 - $V_{DD} = 1,8 \text{ V}$
- Para poder suministrar la corriente demandada por cargas externas al circuito integrado generalmente se conectan varias etapas en cascada, como se ilustra en la Fig. 1. Suponga que se tiene un circuito como el de la Fig. 1, donde los transistores de la segunda etapa tienen 4 veces más ancho que los de la primera etapa (es decir, $W/L_{inv2} = 4 \times W/L_{inv1}$). La tecnología CMOS empleada tiene $V_{DD} = 3 \text{ V}$, $L = 1,2 \mu\text{m}$, $t_{ox} = 17,3 \text{ nm}$, $V_{Tn} = 0,9 \text{ V}$ y $V_{Tp} = -0,7 \text{ V}$, con coeficientes intrínsecos $k'_n = 120 \mu\text{A}/\text{V}^2$ y $k'_p = 50 \mu\text{A}/\text{V}^2$. Asumiendo que los anchos de la primera etapa son $W_n = 3 \mu\text{m}$ y $W_p = 6 \mu\text{m}$, determine:
 - El umbral de conmutación V_M .
 - La capacidad de carga C_L que la segunda etapa le representa a la primera.
 - El tiempo de conmutación t_p
 - P_D para $f = 100 \text{ MHz}$.

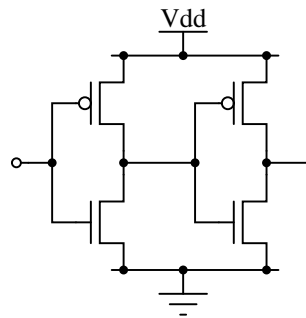


Figura 1

Parte II: Lógica CMOS

- Determinar qué función lógica sintetizan los circuitos de la Fig. 2.
- Determinar el circuito CMOS asociado a las siguientes funciones lógicas
 - $Z = \overline{A \cdot (B + C)}$
 - $Z = \overline{D + A \cdot (B + C)}$
 - $Z = \overline{(A + B) \cdot (C + D)}$
 - $Z = A \cdot B \cdot C + D \cdot E$
 - $Z = \overline{A \cdot (B + C)}$
 - $Z = (A + B + C) \cdot (D + E)$

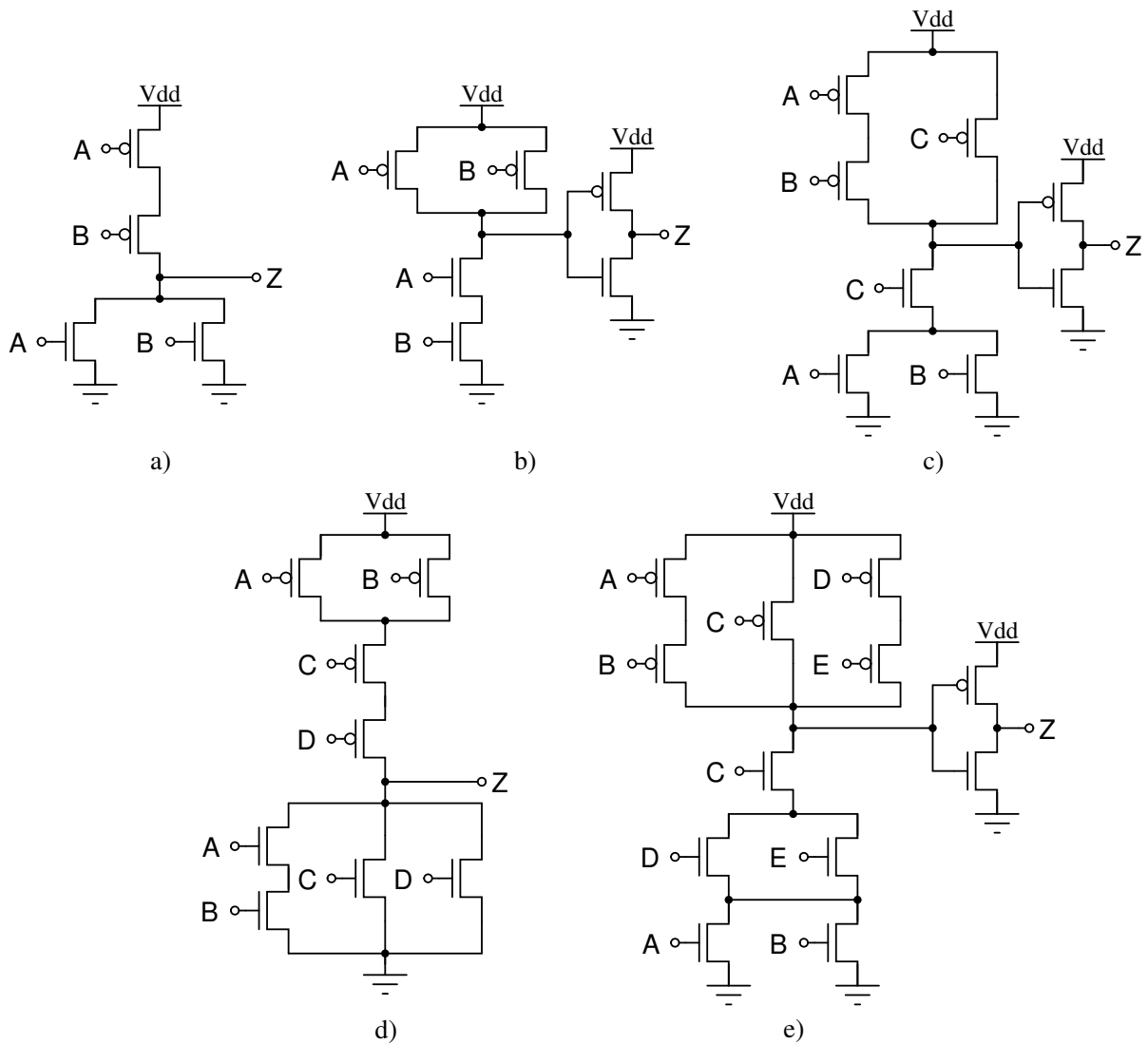


Figura 2

Parte III: Proceso de fabricación

6. Explique paso a paso cómo a partir de un wafer sustrato tipo P se fabrica un pozo N. Responda utilizando distintos cortes transversales de las estructuras en silicio.
7. Dibuje el corte lateral de un inversor CMOS.
8. Dibuje las máscaras necesarias para obtener un transistor PMOS. Indique el orden en el que se aplican durante al fabricación.
9. Para el *layout* de la Fig. 3:
 - a) Identifique todos los transistores. ¿Cuántos transistores posee el circuito? ¿Cómo diferencia los transistores nMOSFET de los pMOSFET?
 - b) Identifique todos los *layers* del proceso de fabricación necesarios para fabricar este circuito.
 - c) Identifique el circuito resultante y dibuje su esquemático. ¿Qué función lógica implementa?
 - d) Repita los puntos anteriores para los *layout* de la Fig. 4.

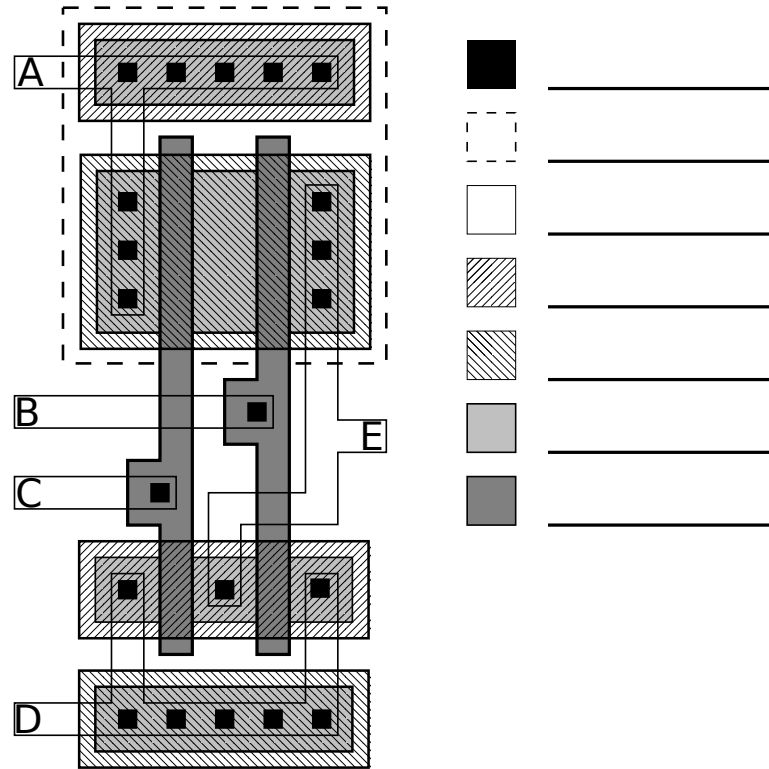


Figura 3

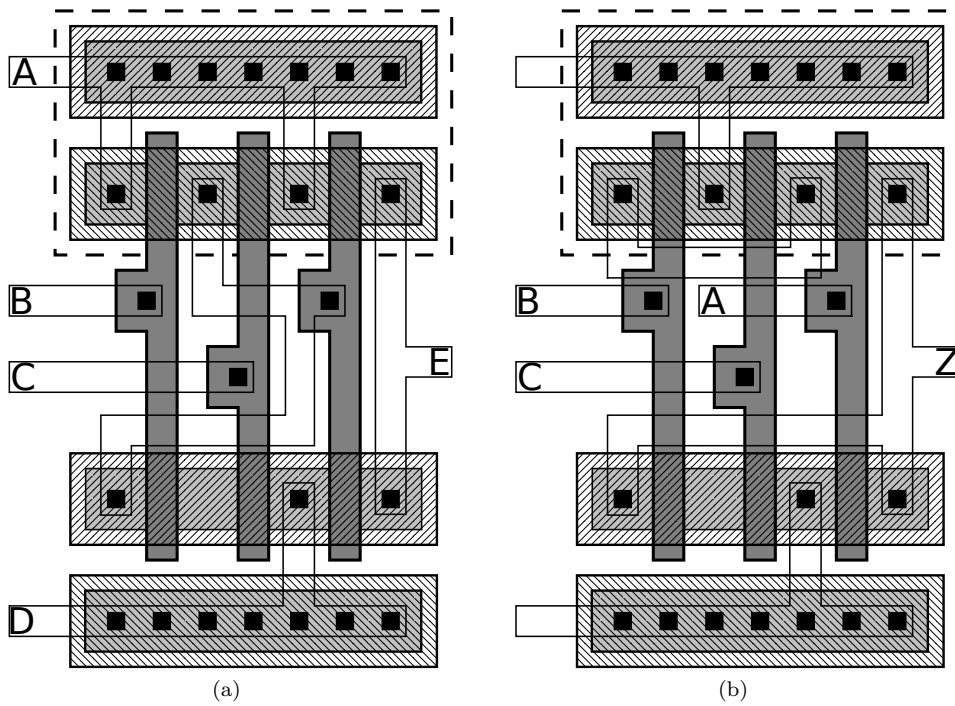


Figura 4